

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035817
 (43)Date of publication of application : 09.02.2001

(51)Int.Cl. H01L 21/301
 B65G 49/07
 H01L 21/50
 H01L 21/68

(21)Application number : 11-207793
 (22)Date of filing : 22.07.1999

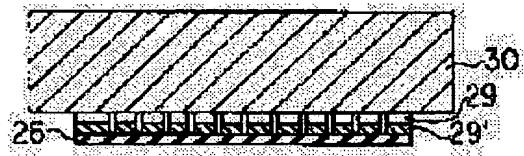
(71)Applicant : TOSHIBA CORP
 (72)Inventor : NAKAYOSHI HIDEO
 TAKU SHINYA
 TOKUBUCHI KEISUKE
 KUROSAWA TETSUYA

(54) METHOD OF DIVIDING WAFER AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of dividing a wafer and a method of manufacturing a semiconductor device wherein cracks and chipping of the wafer can be suppressed during thin/thick grinding and transfer, and the quality degradation of the wafer and hence the semiconductor device can be prevented.

SOLUTION: A groove deeper than the thickness of finished chips is formed from the element formed surface of a wafer along the dicing line or chip dividing line of the wafer having an element formed thereon, and a holding member 26 is laminated onto the element formed surface of the wafer. Then, the backside of the wafer is ground and polished to the thickness of the finished chips for separation into individual chips 29. The separated chips 29 are transferred while held by porous chucking. Since the wafer is divided into individual chips after its back is ground and polished, the cracking and chipping of the wafer can be suppressed. Further, since the individual chips are transferred while held by porous chucking, the occurrence of chipping due to interference among the chips can be suppressed. As a result, higher quality and improved yield can be obtained.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-35817

(P2001-35817A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.CL
 H01L 21/301
 B65G 49/07
 H01L 21/50
 21/68

識別記号

F I
 H01L 21/78
 B65G 49/07
 H01L 21/50
 21/68

テ-モート(審査)
 Q 5F031
 G
 B
 A
 P

審査請求 未請求 特許請求項の数18 OL (全13頁)

(21)出願番号

特願平11-207793

(22)出願日

平成11年7月22日(1999.7.22)

(71)出願人

000003078
株式会社東芝
神奈川県川崎市幸区相模川町72番地

(72)発明者

中吉 英夫
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者

田久 真也
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人

100058479

弁理士 鈴江 武彦 (外6名)

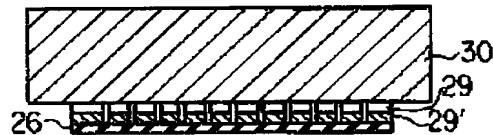
最終頁に続く

(54)【発明の名称】 ウェーハの分割方法及び半導体基板の製造方法

(57)【要約】

【課題】薄厚研削時や搬送時のウェーハの割れやチッピングを抑制でき、品質劣化を防止できるウェーハの分割方法及び半導体装置の製造方法を提供する。

【解決手段】素子が形成されたウェーハ21のダイシングラインまたはチップ分割ラインに沿って、ウェーハの素子形成面21'側から完成時のチップの厚さよりも深い溝22を形成し、このウェーハにおける素子の形成面上に保持部材26を貼り付ける。その後、ウェーハの裏面を完成時のチップの厚さまで研削及び研磨して個々のチップ29に分離し、分離された複数のチップをボーラス吸着にて保持しつつ搬送することを特徴とする。ウェーハの裏面を研削及び研磨して個々のチップに分離するので、ウェーハの割れやチッピングを抑制でき、個々のチップをボーラス吸着にて保持しつつ搬送するのでチップ面で干渉してチッピングが発生するのを抑制できる。これによって、高品質化と歩留まりの向上が図れる。



(2)

特開2001-35817

1

【特許請求の範囲】

【請求項1】 半導体素子が形成されたウェーハのダイシングラインまたはチップ分割ラインに沿って、上記半導体素子の形成面側から完成時のチップの厚さよりも深い溝を形成する工程と、

上記ウェーハにおける半導体素子の形成面上に保持部材を貼り付ける工程と、

上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、

分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程とを具備することを特徴とするウェーハの分離方法。

【請求項2】 半導体素子が形成されたウェーハのダイシングラインまたはチップ分割ラインに沿って、上記半導体素子の形成面側から完成時のチップの厚さよりも深い溝を形成する工程と、

上記ウェーハにおける半導体素子の形成面上に第1の保持部材を貼り付ける工程と、

上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、

分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程と、

分離された複数のチップの裏面をフラットリングを有する第2の保持部材に貼り付ける工程と、

上記第1の保持部材を剥がす工程とを具備することを特徴とするウェーハの分離方法。

【請求項3】 前記ポーラス吸着用いる吸着材の吸着面は、実質的に平面であることを特徴とする請求項1または2に記載のウェーハの分離方法。

【請求項4】 前記分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの裏面側を吸着して保持しつつ搬送するものであり、前記ポーラス吸着用いる吸着材の吸着面は、凹面であることを特徴とする請求項1または2に記載のウェーハの分離方法。

【請求項5】 前記分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの表面側の前記保持部材を吸着して保持しつつ搬送するものであり、前記ポーラス吸着用いる吸着材の吸着面は、凸面であることを特徴とする請求項1または2に記載のウェーハの分離方法。

【請求項6】 前記ポーラス吸着用いる吸着材は、吸着穴径が0.5mm以下で、穴の密度が1㎠あたり少なくとも1個の板状であることを特徴とする請求項1乃至5に記載のウェーハの分離方法。

【請求項7】 前記ポーラス吸着用いる吸着材は、多孔質をラミックであることを特徴とする請求項1乃至6に記載のウェーハの分離方法。

2

【請求項8】 前記第2の保持部材は、チップを貼り付ける面に熱外線硬化性粘着剤を塗布したシートをフラットリングに貼り付けたものであり、紫外線を照射して硬化させた後、前記第1の保持部材を剥がすことをする請求項2乃至7いずれか1つの項に記載のウェーハの分離方法。

【請求項9】 前記分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程の後に、前記分離された複数のチップを洗浄する工程更に具備することを特徴とする請求項1乃至8いずれか1つの項に記載のウェーハの分離方法。

【請求項10】 ウェーハの主表面に半導体素子を形成する工程と、

上記ウェーハのダイシングラインまたはチップ分割ラインに沿って、上記ウェーハの主表面から完成時のチップの厚さよりも深い溝を形成する工程と、

上記ウェーハの主表面上に保持部材を貼り付ける工程と、

上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、

分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程と、

搬送された個々のチップをリードフレームにマウントし、パッケージに封止する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項11】 ウェーハの主表面に半導体素子を形成する工程と、

上記ウェーハのダイシングラインまたはチップ分割ラインに沿って、上記ウェーハの主表面から完成時のチップの厚さよりも深い溝を形成する工程と、

上記ウェーハの主表面上に第1の保持部材を貼り付ける工程と、

上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、

分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程と、

分離された複数のチップの裏面をフラットリングを有する第2の保持部材に貼り付ける工程と、

上記第1の保持部材を剥がす工程と、

個々のチップをリードフレームにマウントし、パッケージに封止する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項12】 前記ポーラス吸着用いる吸着材の吸着面は、実質的に平面であることを特徴とする請求項1または11に記載の半導体装置の製造方法。

【請求項13】 前記分離された複数のチップをポーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの裏面側を吸着して保持しつつ搬送するも

(3)

特開2001-35817

3

のであり、前記ボーラス吸着用に用いる吸着材の吸着面は、凹面であることを特徴とする請求項10または11に記載の半導体装置の製造方法。

【請求項14】 前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの表面側の前記保持部材を吸着して保持しつつ搬送するものであり、前記ボーラス吸着用に用いる吸着材の吸着面は、凸面であることを特徴とする請求項10または11に記載の半導体装置の製造方法。

【請求項15】 前記ボーラス吸着用に用いる吸着材は、吸着穴径が0.5mm以下で、穴の密度が1mm²あたり少なくとも1個の板状であることを特徴とする請求項10乃至14に記載の半導体装置の製造方法。

【請求項16】 前記ボーラス吸着用に用いる吸着材は、多孔質セラミックであることを特徴とする請求項10乃至15いずれか1つの項に記載の半導体装置の製造方法。

【請求項17】 前記第2の保持部材は、チップを貼り付ける面に熱外線硬化性粘着剤を塗布したシートをフラットリングに貼り付けたものであり、熱外線を照射して硬化させた後、第1の保持部材を剥がすことを特徴とする請求項10乃至16いずれか1つの項に記載の半導体装置の製造方法。

【請求項18】 前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程の後に、前記分離された複数のチップを搬送する工程を更に具備することを特徴とする請求項10乃至17いずれか1つの項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はウェーハの分割方法及び半導体装置の製造方法に関するもので、特に、ウェーハ上に形成された半導体素子を個々のチップに切断分離し、パッケージに封止する工程に係り、パッケージの小型薄厚化やウェーハの大口径化時に好適なものである。

【0002】

【従来の技術】 半導体装置の製造工程は、ウェーハ（半導体基板）上に種々の半導体素子のパターンを形成する工程と、ウェーハ上に形成された半導体素子を個々のチップに切断分離し、パッケージに封止する工程とに大別できる。近年、製造コストの低減を図るためにウェーハの大口径化が推進されるとともに、実装密度を高めるためにパッケージの小型薄厚化が望まれている。

【0003】 従来は、薄厚化したパッケージに封止するために、ウェーハを個々のチップに切断分離するのに先立って、ウェーハのパターン形成面（主表面）の反対側の面（ウェーハの裏面）を砥石による研削及び遊離砥粒による研磨等により除去して薄くし、その後ダイシングして切断分離している。研削時には、ウェーハのバター

4

ン形成面に粘着性のシートを貼り付けたり、レジスト等を塗布することによって保護している。この後、上記ウェーハの主表面に形成された切断分離（ダイシング）ライン領域に溝を形成する。この溝を形成する際には、ダイヤモンドスクライバー、ダイヤモンドブレード、あるいはレーザースクライバー等を用いている。上記ダイシング工程には、ウェーハ単体でのウェーハの厚さの1/2までダイシングまたはウェーハが30μm程度残る状態までダイシングを行うハーフカット法、ウェーハの裏面に粘着性のシートを貼り付けて同様にダイシングするハーフカット法、粘着性のシートを20～30μm程度まで切り込み、ウェーハ厚全てを切断するフルカット法等が用いられる。上記ハーフカット法は、分割作業が必要とされ、ウェーハ单体の場合にはウェーハを柔軟性のあるフィルム等に挟み、ローラー等で外力を加えて分割する。シートに貼り付けた場合には、テープ越しにローラーその他で外力を加え分割する。

【0004】 分割されたチップは、ダイポンディング装置に設けられているピックアップニードルによってシート裏面を突き上げ、このシートを貫通してチップ裏面にニードル（針）を直接接触させ、更に持ち上げてチップをシートから引き離す。引き離されたチップは、コレットと呼ばれるツールでチップ表面を吸着し、リードフレームのアイランドにマウントした後、ワイヤポンディングを行ってチップの各パッドとリードフレームのインナーリード部とを電気的に接続し、パッケージに封止している。上記チップのアイランドへのマウント方法としては、アイランドへ導電性ペーストを予め塗布しておく方法、金シリコンの共晶を利用してマウントする方法、及びウェーハの裏面に金属の薄膜を蒸着し、半田を用いてマウントする方法等がある。

【0005】 図12乃至図18はそれぞれ、上述したような従来のウェーハの分割方法及び半導体装置の製造方法の一例について説明するためのもので、図12はウェーハに表面保護テープを貼り付ける工程、図13はウェーハの裏面の研削及び研磨工程、図14は裏面保護テープを剥がす工程、図15(a)、(b)はウェーハを固定用シートに固定する工程、図16はウェーハのダイシング工程、図17は分離したチップをピックアップする工程、及び図18はダイポンディング工程をそれぞれ示している。

【0006】 図12乃至図18において、1は各種の半導体素子が形成されたウェーハ、1'はパターン形成面（ウェーハの主表面）、2はボーラスチャックテーブル、3はパターン形成面の保護テープ、4は貼り付けローラー、5は裏面研削用のチャックテーブル、6は研削用砥石、7は保護テープ3を剥がすためのテープ、8はフラットリング、9はウェーハの固定用シート、10はダイシング用チャックテーブル、11はダイシング用ブレード、12は切断分離後のチップ、13はピックアッ

ブニードル、14はリードフレームのアイランド、15は導電性ペースト等のダイボンディング用接着剤である。

【0007】まず、図12に示すように、素子形成が終了したウェーハ1の裏面をポーラスチャックテーブル2上に固定し、貼り付けローラー4を回転させながら図示矢印方向に移動させて、保護テープ3をウェーハ1のパターン形成面1'に貼り付ける。次に、図13に示すように、上記保護テープ3を貼り付けたパターン形成面1'を下にしてチャックテーブル5に固定し、ウェーハ1の裏面を研削用砥石6で所定の厚さ(完成時の最終的なチップ厚)まで研削及び研磨する。その後、図14に示すように、保護テープ3にこの保護テープ3を剥がすためのテープ7を貼り付け、パターン形成面1'から保護テープ3を剥離する。次に、図15(a)に示すようなフラットリング8をウェーハの固定用シート9に固定してシート9の伸びや縮などの発生を防止した状態で、図15(b)に示す如くフラットリング8の開口内のシート9上にチップ1を固定する。そして、上記チップ1を固定したシート9とフラットリング8をダイシング用のチャックテーブル10に固定し、ダイシング用ブレード11でダイシング(フルカット)し、個々のチップ12に切断分離する(図16参照)。次に、図17に示すようにシート9の下方からピックアップニードル13をシート9を貫通させてチップ12の裏面に当てて上方に押圧することにより個々のチップ12をシート9から剥離し、図18に示すようにリードフレームのアイランド14に導電性ペースト等のダイボンディング用接着剤を用いてマウントする。その後、図示しないがリードフレームのインナーリード部とチップ12の各パッドとをワイヤボンディングし、樹脂製やセラミック製のパッケージに封止して半導体装置を完成する。

【0008】しかしながら、上記のようなウェーハの分割方法及び半導体装置の製造方法では、下記(a)～(c)に示すような問題がある。

【0009】(a)薄厚研削時にウェーハが割れ易い。保護テープを貼り付けて研削を行っても、研削時の歪みによりウェーハが反ってしまい、このために研削装置内での搬送時に引っ掛かったりして破損する。また、ウェーハが薄くなったり大口径化されるに従いウェーハの強度が低下するため、現状のようにウェーハを薄くした後、ウェーハ単体を搬送して種々の処理を施す方法では破損する確率が高くなる。例えば、ウェーハが400μmの厚さでは1.6Kgf/mm²程度の応力まで耐えられるが、厚さが200μmになると0.4Kgf/mm²と1/4にまで低下する。

【0010】(b)パターン形成面の保護とダイシング時のウェーハ保持用として二枚のシートを使用するため、これらの貼り付け、剥離、貼り付けと工程がそれぞれ必要となり、材料費が高くなり製造工程も増加する。

【0011】(c)ダイシングを行った場合、ウェーハの裏面側のチッピングが大きくなり、チップの抗折強度の低下を招く。しかも、従来は個々の特性モニター用のトランジスタ、抵抗、コンデンサー等(これらをTEG: Test Element Groupと称する)をチップ内に配置していたが、近年は高集積化を図るためにダイシングライン上に配置されるようになった。周知の通り、これらの素子は酸化膜、アルミニウム等で構成されており、ダイヤモンドブレードを用いてダイシングを行う際に、砥石の目詰まりを起こしやすく、切れ味を阻害する材料である。このため、ダイシングライン上にTEGが配置されている場合には、ウェーハの裏面側のチッピングが更に大きくなる。一般に半導体基板として使用されている材料はシリコンやGaAs等の脆性材であるために、クラック等が存在すると抗折強度の低下を招きやすい。

【0012】このような問題を解決する技術として、特許公報第2737859号には、ウェーハの裏面パターン側から所定の深さに切り込みを入れ、そのウェーハの裏面パターン側及び固定治具をベースフィルムに接着した後、ウェーハの裏面を研磨することにより個々のチップに分割する半導体チップの製造方法が提案されている。

【0013】しかしながら、この特許公報に記載されているような半導体チップの製造方法では、分割されたチップをベースフィルムから剥がす際に、ベースフィルムの裏面から突き上げ治具でベースフィルムを変形させて剥がす必要がある。上記シートはウェーハの素子形成面に貼り付けられており、素子形成面を突き上げ治具で突き上げるため、半導体素子へダメージが発生する恐れがある。

【0014】また、上記突き上げ治具を用いることによる半導体素子へのダメージを防止するために、例えば特開平5-74934号公報には、ウェーハの裏面を研削して個々のチップに分割した後、ウェーハの裏面にダイヤモンド用テープを貼り付け、その後粘着シートを剥がす方法が記載されている。

【0015】しかし、この公開公報に記載されているような薄型チップの形成方法では、ダイヤモンド用テープのみで分割されたチップを保持するため、チップを平坦に保持することができず、搬送時にチップ間で干渉してチッピング等の品質劣化が発生するという新たな問題を生じる。

【0016】

【発明が解決しようとする課題】上記のように従来のウェーハの分割方法及び半導体装置の製造方法は、薄厚研削時や搬送時にウェーハが割れやすく、ダイシングを行った場合にウェーハの裏面側のチッピングが大きくなり、チップの抗折応力の低下を招くという問題があった。

【0017】この問題を解決するために、ウェーハの素

(5)

特開2001-35817

8

7

子形成面に切り込みを入れた後、裏面を研磨して個々のペレットに分割する方法が提案されているが、ピックアップする際に半導体素子にダメージを与えること、搬送時にチップ間で干渉してチッピング等の品質劣化が発生するという問題があった。

【0018】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、薄厚研削時や搬送時のウェーハの割れやチッピングを抑制でき、品質劣化を防止できるウェーハの分割方法及び半導体装置の製造方法を提供することにある。

【0019】

【課題を解決するための手段】この発明の請求項1に記載したウェーハの分割方法は、半導体素子が形成されたウェーハのダイシングラインまたはチップ分割ラインに沿って、上記半導体素子の形成面側から完成時のチップの厚さよりも深い溝を形成する工程と、上記ウェーハにおける半導体素子の形成面上に保持部材を貼り付ける工程と、上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程とを具備することを特徴としている。

【0020】また、この発明の請求項2に記載したウェーハの分割方法は、半導体素子が形成されたウェーハのダイシングラインまたはチップ分割ラインに沿って、上記半導体素子の形成面側から完成時のチップの厚さよりも深い溝を形成する工程と、上記ウェーハにおける半導体素子の形成面上に第1の保持部材を貼り付ける工程と、上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程と、分離された複数のチップの裏面をフラットリングを有する第2の保持部材に貼り付ける工程と、上記第1の保持部材を剥がす工程とを具備することを特徴としている。

【0021】請求項3に示すように、請求項1または2に記載のウェーハの分離方法において、前記ボーラス吸着に用いる吸着材の吸着面は、実質的に平面であることを特徴とする。

【0022】請求項4に示すように、請求項1または2に記載のウェーハの分離方法において、前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの裏面側を吸着して保持しつつ搬送するものであり、前記ボーラス吸着に用いる吸着材の吸着面は、凹面であることを特徴とする。

【0023】請求項5に示すように、請求項1または2に記載のウェーハの分離方法において、前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの表面側を前記保持部材を吸着して保持しつつ搬送するものであり、前記ボ

ーラス吸着に用いる吸着材の吸着面は、凸面であることを持徴とする。

【0024】請求項6に示すように、請求項1乃至5いずれか1つの項に記載のウェーハの分離方法において、前記ボーラス吸着に用いる吸着材は、吸着穴径がり、5mm以下で、穴の密度が1mm²あたり少なくとも1個の板状であることを特徴とする。

【0025】請求項7に示すように、請求項1乃至6いずれか1つの項に記載のウェーハの分離方法において、前記ボーラス吸着に用いる吸着材は、多孔質セラミックであることを特徴とする。

【0026】請求項8に示すように、請求項2乃至7いずれか1つの項に記載のウェーハの分離方法において、前記第2の保持部材は、チップを貼り付ける面に紫外線硬化性粘着剤を塗布したシートをフラットリングに貼り付けたものであり、紫外線を照射して硬化させた後、前記第1の保持部材を剥がすことを特徴とする。

【0027】更に、請求項9に示すように、請求項1乃至8いずれか1つの項に記載のウェーハの分離方法において、前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程の後に、前記分離された複数のチップを洗浄する工程を更に具備することを特徴とする。

【0028】この発明の請求項10に記載した半導体装置の製造方法は、ウェーハの主表面に半導体素子を形成する工程と、上記ウェーハのダイシングラインまたはチップ分割ラインに沿って、上記ウェーハの主表面から完成時のチップの厚さよりも深い溝を形成する工程と、上記ウェーハの主表面上に保持部材を貼り付ける工程と、

上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程と、搬送された個々のチップをリードフレームにマウントし、パッケージに封止する工程とを具備することを特徴としている。

【0029】また、この発明の請求項11に記載した半導体装置の製造方法は、ウェーハの主表面に半導体素子を形成する工程と、上記ウェーハのダイシングラインまたはチップ分割ラインに沿って、上記ウェーハの主表面から完成時のチップの厚さよりも深い溝を形成する工程と、上記ウェーハの主表面上に第1の保持部材を貼り付ける工程と、上記ウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨し、ウェーハを個々のチップに分離する工程と、分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程と、搬送された個々のチップの裏面をフラットリングを有する第2の保持部材に貼り付ける工程と、上記第1の保持部材を剥がす工程と、個々のチップをリードフレームにマウントし、パッケージに封止する工程とを具備することを特徴としている。

(6) 特開2001-35817

9

【0030】請求項12に示すように、請求項10または11に記載の半導体装置の製造方法において、前記ボーラス吸着用に用いる吸着材の吸着面は、実質的に平面であることを特徴とする。

【0031】請求項13に示すように、請求項10または11に記載の半導体装置の製造方法において、前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの裏面側を吸着して保持しつつ搬送するものであり、前記ボーラス吸着用に用いる吸着材の吸着面は、四面であることを特徴とする。

【0032】請求項14に示すように、請求項10または11に記載の半導体装置の製造方法において、前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程は、前記分離された複数のチップの表面側の前記保持部材を吸着して保持しつつ搬送するものであり、前記ボーラス吸着用に用いる吸着材の吸着面は、凸面であることを特徴とする。

【0033】請求項15に示すように、請求項10乃至14いずれか1つの項に記載の半導体装置の製造方法において、前記ボーラス吸着用に用いる吸着材は、吸着穴径が0.5mm以下で、穴の密度が1㎟あたり少なくとも1個の板状であることを特徴とする。

【0034】請求項16に示すように、請求項10乃至15いずれか1つの項に記載の半導体装置の製造方法において、前記ボーラス吸着用に用いる吸着材は、多孔質セラミックであることを特徴とする。

【0035】請求項17に示すように、請求項11乃至16いずれか1つの項に記載の半導体装置の製造方法において、前記第2の保持部材は、チップを貼り付ける面に紫外線硬化性粘着剤を塗布したシートをフラットリングに貼り付けたものであり、紫外線を照射して硬化させた後、第1の保持部材を剥がすことを特徴とする。

【0036】更に、請求項18に示すように、請求項10乃至17いずれか1つの項に記載の半導体装置の製造方法において、前記分離された複数のチップをボーラス吸着にて保持しつつ搬送する工程の後に、前記分離された複数のチップを洗浄する工程を更に具備することを特徴とする。

【0037】請求項10のようなウェーハの分割方法によれば、ウェーハの素子形成面側から完成時のチップの厚さよりも深い溝を形成し、このウェーハの裏面を完成時のチップの厚さまで研削及び研磨することによってウェーハを個々のチップに分離するので、ウェーハの割れやチッピングを抑制できる。また、分離された複数のチップをボーラス吸着にて保持しつつ搬送するので、チップ間で干渉してチッピングが発生するのを抑制できる。これによって、品質劣化を防止でき高品質化と歩留まりの向上が図れる。

【0038】また、請求項2のようなウェーハの分割方

10

法によれば、ウェーハの素子形成面側から完成時のチップの厚さよりも深い溝を形成し、このウェーハの裏面を完成時のチップの厚さまで研削及び研磨することによってウェーハを個々のチップに分離するので、ウェーハの割れやチッピングを抑制できる。また、分離された複数のチップをボーラス吸着にて保持しつつ搬送するので、チップ間で干渉してチッピングが発生するのを抑制できる。更に、フラットリングを有する第2の保持部材にチップの裏面側を貼り付け、第1の保持部材を剥がすので、ピックアップする際に半導体素子にダメージを与えるのを防止でき、且つ分割されたチップをフラットリングによって平坦に保持できるので、搬送時にチップ間で干渉してチッピングが発生するのを抑制できる。これによって、品質劣化を防止でき高品質化と歩留まりの向上が図れる。

【0039】請求項3に記載したように、ボーラス吸着用に用いる吸着材の吸着面は、実質的に平面であることが好ましい。

【0040】請求項4に記載したように、分離された複数のチップの裏面側を吸着して保持しつつ搬送する場合には、ボーラス吸着用に用いる吸着材の吸着面を凹面にすれば、チップの裏面側の間隔を広げることができ、チップ間の干渉をより抑制できる。

【0041】請求項5に記載したように、分離された複数のチップの表面側の保持部材を吸着して保持しつつ搬送する場合には、ボーラス吸着用に用いる吸着材の吸着面を凸面にすれば、チップの裏面側の間隔を広げることができ、チップ間の干渉をより抑制できる。

【0042】請求項6に記載したように、吸着穴径が0.5mm以下で、穴の密度が1㎟あたり少なくとも1個の板状の吸着材を用いることにより、分割されたチップをほぼ平坦あるいはアールを付けて(凹面状あるいは凸面状)保持し、チップ間の干渉を防止しつつ搬送できる。

【0043】上記吸着材としては、請求項7に記載したように、多孔質セラミックが好適である。

【0044】請求項8に記載したように、第2の保持部材として、チップを貼り付ける面に紫外線硬化性粘着剤を塗布したシートをフラットリングに貼り付けたものを用いれば、紫外線を照射して硬化させることにより、容易に第1の保持部材を剥がすことができる。

【0045】更に、請求項9に記載したように、分離された複数のチップをボーラス吸着にて保持しつつ洗浄用ステージ上に搬送して洗浄すれば、ウェーハの分割と洗浄を連続的に効率よく実行できる。

【0046】請求項10のような半導体装置の製造方法によれば、ウェーハの素子形成面側から完成時のチップの厚さよりも深い溝を形成し、このウェーハの裏面を完成時のチップの厚さまで研削及び研磨することによってウェーハを個々のチップに分離するので、ウェーハの割

(7)

特開2001-35817

11

れやチッピングを抑制できる。また、分離された複数のチップをボーラス吸着にて保持しつつダイポンダに搬送するので、チップ間で干渉してチッピングが発生するのを抑制できる。これによって、半導体装置の品質劣化を防止でき高品質化と製造歩留まりの向上が図れる。

【0047】また、請求項11のような半導体装置の製造方法によれば、ウェーハの素子形成面側から完成時のチップの厚さよりも深い溝を形成し、このウェーハの裏面を完成時のチップの厚さまで研削及び研磨することによってウェーハを個々のチップに分離するので、ウェーハの割れやチッピングを抑制できる。また、分離された複数のチップをボーラス吸着にて保持しつつ搬送するのでチップ間で干渉してチッピングが発生するのを抑制できる。更に、フラットリングを有する第2の保持部材にチップの裏面側を貼り付け、第1の保持部材を剥がすので、リードフレームにマウントするためにピックアップする際に半導体素子にダメージを与えるのを防止でき、且つ分離されたチップをフラットリングによって平坦に保持できるので、搬送時にチップ間で干渉してチッピングが発生するのを抑制できる。これによって、半導体装置の品質劣化を防止でき高品質化と製造歩留まりの向上が図れる。

【0048】請求項12に記載したように、ボーラス吸着用に用いる吸着材の吸着面は、実質的に平面であることが好ましい。

【0049】請求項13に記載したように、分離された複数のチップの裏面側を吸着して保持しつつ搬送する場合には、ボーラス吸着用に用いる吸着材の吸着面を凸面にすれば、チップの裏面側の間隔を広げることができ、チップ間の干渉をより抑制できる。

【0050】請求項14に記載したように、分離された複数のチップの表面側の保持部材を吸着して保持しつつ搬送する場合には、ボーラス吸着用に用いる吸着材の吸着面を凸面にすれば、チップの裏面側の間隔を広げることができ、チップ間の干渉をより抑制できる。

【0051】請求項15に記載したように、吸着穴径が0.5mm以下で、穴の密度が1mm²あたり少なくとも1個の板状の吸着材を用いることにより、分離されたチップをほぼ平坦あるいはアールを付けて(凹面状あるいは凸面状)保持し、チップ間の干渉を防止しつつ搬送できる。

【0052】上記吸着材としては、請求項16に記載したように、多孔質セラミックが好適である。

【0053】請求項17に記載したように、第2の保持部材として、チップを貼り付ける面に紫外線硬化性粘着剤を塗布したシートをフラットリングに貼り付けたもの用いれば、紫外線を照射して硬化させることにより、容易に第1の保持部材を剥がすことができる。

【0054】更に、請求項18に記載したように、分離された複数のチップをボーラス吸着にて保持しつつ洗浄

12

用ステージ上に搬送して洗浄すれば、ウェーハの分割と洗浄を連続的に実行でき、効率よく半導体装置を製造できる。

【0055】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1乃至図9はそれぞれ、この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、図1はダイシングラインに沿ってウェーハに溝を形成する工程、図2はウェーハに表面保護テープを貼り付ける工程、図3はウェーハ裏面の研削及び研磨工程(分割工程)、図4は分割されたウェーハをボーラス吸着によって保持する工程、図5はチップを搬送する工程、図6はチップを洗浄する工程、図7(a)～(d)は搬送したチップをリードフレームにマウントする工程、図8はダイボンディング工程、及び図9はパッケージに封止する工程をそれぞれ示している。

【0056】図1乃至図9において、21は各種の半導体素子が形成されたウェーハ、21'はパターン形成面(ウェーハ21の主表面)、22はダイシングラインまたはチップ分割ラインに沿って形成された溝、23はダイシング用チャックテーブル、24はダイシング用ブレード、26は表面保護テープ、27は裏面研削用砥石、29は切断分離後のチップ、29'はチップの主表面、30は吸着材、31はリードフレームのアーランド(ベッド)、32は導電性ペースト等のダイボンディング用接着剤、33は樹脂パッケージまたはセラミックパッケージ、34はリードフレーム、35はボンディングワイヤ、36は接着テーブ、37はリード、40はディスペンサ、42は裏面保護テーブ、43はフラットリング、44はコレット、48はチップトレイ、50は洗浄用のテーブル、51はノズル、52はステージ、及び53はローラーである。

【0057】先ず、周知の製造工程にしたがってウェーハ中に各種の半導体素子を形成した後、図1に示す如くウェーハ21をパターン形成面(主表面21')側を上にして、ダイシング装置のチャックテーブル23にバキュームその他の方法で吸着して固定する。次に、ダイシング用ブレード24を任意の回数で回転させ、切削水を掛けながらダイシングラインに沿って所定の深さまで溝22を切り込む。この溝22の深さは、完成時のチップの厚さよりも少なくとも1μm深くする。その後、ウェーハ21の洗浄と乾燥処理を行う。

【0058】上記溝22は、上記ダイシング用ブレード24を用いて機械的に形成するだけでなく、エッティング等の化学的な方法で形成しても構わない。例えば、ウェーハ21の主表面21'上にフォトレジストを塗布し、PECVD等によりチップ分割ライン(ダイシングラインに対応する)上を露出させた後、KOH溶液に浸漬させることによりウェーハ21を深さ方向(ウェーハ21の

主表面と直交する方向)に選択的にエッチングすれば溝22を形成できる。あるいは、KOH溶液を用いたウェットエッチングに代えて、RIE(Reactive Ion Etching)等のドライエッチング技術の適用も考えられる。例えば、真空度60mtorrでエッティングガスとしてSF₆ガスやSF₆/CF₄系混合ガスによりシリコンのみを選択的にエッティングすることが可能である。特に、SF₆/CF₄系混合ガスでは異方性エッティングが可能であり、ウェーハ21の主表面21'に対してほぼ垂直な溝加工が可能になる。上記エッティングを用いた溝22の形成方法は、ダイヤモンドブレード等のダイシング用ブレード24を用いる場合に比して、溝22の側壁(切断面)が機械的な応力の影響を受けないので、切断面に発生する結晶欠陥を低減できる。もちろん、上述した機械的あるいは化学的な形成方法だけではなく、レーザースクライバー等のような光学的な方法を用いて溝22を形成することもできる。この図1に示した工程で重要なのは、どのような方法で溝22を形成するかではなく、溝22の深さを、完成時のチップの厚さよりも少なくとも5μm深く(但し、ウェーハ21が個々のチップに分離されないように)することである。

【0059】次に、図2に示すように、前工程で溝22を形成したウェーハ21のパターン形成面21'に表面保護テープ26の接着剤を貼り付けて固定する。

【0060】その後、図3に示すように、上記表面保護テープ26で保護されたウェーハ21を、研削装置のチャックテーブル27にポーラス吸着やパキューム吸着等の方法で固定する。そして、チャックテーブル27と研削用砥石28を回転させ、砥石28を降下させながらウェーハ21の裏面を削る。一般にこの研削方法はインフィード研削と呼ばれるものであるが、別な方法としてスルーフィード研削またはクリーブフィード研削と呼ばれ、ウェーハ21と砥石28を回転させながら削る方法を用いても良い。上記ウェーハ21の裏面を、溝22に達するまで削ると、ウェーハ21は個々のチップ29に分割される。ウェーハ21が個々のチップ29に分割された後も研削及び研磨を続け、少なくとも5μm以上研削及び研磨する。これによって、ダイシングによって形成された面と研削及び研磨によって形成された面とが交わる部分にチッピングが発生しても、この領域を研削及び研磨によって除去できる。研削及び研磨する量を増加させれば、より大きなチッピングを除去できるが、この研削及び研磨量はウェーハ21の厚さや完成時のチップ29の厚さ等必要に応じて設定すればよい。これによって、チップ29の完成時の厚さは、例えば30~50μmまで薄厚化が可能となる。

【0061】なお、上記ウェーハ21の裏面を、溝22に達するまで削って個々のチップ29に分割する際、1種類の砥粒径の研削砥石を用いても良いが、研削時間の短縮とチッピングの発生の防止との両方を考慮すると、

次のように少なくとも2種類の砥粒径の研削砥石を用いて2段階、あるいはそれ以上で行うことが好ましい。すなわち、まず#360(主要な砥粒径が40~60μm)程度の砥粒径の大きい研削砥石により研削及び研磨した後、#2000(主要な砥粒径が4~6μm)程度の砥粒径の小さい研削砥石により研削及び研磨して個々のチップ29に分離すれば、ウェーハ21を個々のチップ29に分離するまでの時間短縮が図れ、且つ最終的に分離する際には砥粒径の小さい研削砥石を用いるのでチッピングの発生も低減できる。

【0062】また、研削装置のチャックテーブル27に、表面保護テープ26で保護されたウェーハ21をポーラス吸着して固定する際、チャックテーブル27の吸着面は平面でも良いが、凸面状にすると分離されたチップ間の干渉を低減できる。すなわち、研削によって分離された状態でのチップ間の距離は30μm~50μmであり、非常に近接しているため、研削時に干渉する可能性がある。しかし、チャックテーブル27の吸着面を凸面状にすることにより、分離された時にチップの研削面(裏面)側が広がるのでチップが干渉するのを抑制できる。

【0063】次に、ウェーハ21の切断分離を終えて形成された個々のチップ29を洗浄装置に搬送する。この際、図4に示すように、チャックテーブル27にポーラス吸着やパキューム吸着等で固定した状態で、個々のチップ29の裏面側を多孔質セラミック等から成る吸着材30でポーラス吸着し、その後チャックテーブル27による吸着を停止する。そして、図5に示すように、チップ29の裏面を吸着材30でポーラス吸着しつつ移動させ、洗浄用のテーブル50上に搬送する。上記吸着材30は、吸着穴径が0.5mm以下で、穴の密度が1mm⁻²あたり少なくとも1個の平板状であると、多数のチップ29を平坦に保持でき、搬送時にチップが干渉するのを防止できる。ここで、搬送用の吸着材30のチップ吸着面は実質的に平面であれば良いが、チップ吸着面を凹面状にすれば、吸着面側のチップ間の距離を広げることができるので、搬送時にチップが干渉するのをより低減できる。

【0064】なお、ここではチップの裏面側をポーラス吸着した状態で搬送する場合について説明したが、洗浄装置によつては、チップの表面側、すなわち表面保護テープ26を吸着して搬送した方が都合が良いものもある。この場合には、吸着面が実質的に平面または凸面状の吸着材を用いると良い。チップ吸着面を凸面状にすれば、吸着面が表面保護テープ26で固定されているので、反対側のチップ間の距離が広がることになり、搬送時にチップが干渉するのを低減できる。

【0065】次に、図6に示すように、上記テーブル50を回転させた状態でノズル51からチップ29の裏面に水や洗浄液を供給し、研磨及び研削工程で発生したシ

リコン屑などを除去する。この際、上記ノズル51を、鏡方向に移動させることにより、各チップ29を洗浄する。この洗浄時、上記テーブル50をポーラス吸着部材で形成し、ポーラス吸着で固定しても良い。上記ポーラス吸着部材の吸着面は、実質的に平面または凸面状が好ましい。

【りり66】その後、各チップ29を洗浄用のテーブル50から取り外し、各チップ29の裏面を保持部材に張り付ける。保持部材は、表面保護テープ42をフラットリング43に張り付けたものである。この際、図7(a)に示すように、実質的に平面または凸面状のステージ52上に各チップ29の裏面を上にして載置。あるいはポーラス吸着で固定し、このステージ52上にリング43を載置した後、ローラー53を使ってテープ42を転写する。その後、上記テープ42をリング43の外周に沿ってカットする。これによって、チップ29の裏が反転して主表面29'が向きとなる。このテープ42のチップ29を貼り付ける面には、紫外線硬化性粘着剤が塗布されている。

【りり67】次に、紫外線を照射して粘着剤を硬化させた後、図7(b)に示すように、上述したダイシング工程、研削及び研磨工程、搬送工程、及び洗浄工程で用いた表面保護テープ26を剥がす。

【りり68】次に、図7(c)に示すようにディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト32等のダイポンディング用接着剤を塗布する。その後、ピックアップニードルを用いて表面保護テープ42越しに下方からチップ29の裏面に圧力を加えることによって、チップ29を表面保護テープ42から剥離する。この際、ピックアップニードルによる圧力が加わるのはチップ29の裏面であるので、半導体素子に損傷を与えることはない。

【りり69】そして、図7(d)に示すようにダイポンディング装置のコレット44でチップ29をピックアップし、上記導電性ペースト32を塗布したリードフレーム34のアイランド31上に移動させてマウントする（この状態を図8に拡大して示す）。この際、金-シリコンの共晶を利用してマウントしたり、ウェーハの裏面に金属の薄膜を蒸着し、半田を用いてマウントすることもできる。

【りり70】その後、ワイヤボンディングを行ってチップ29の各パッドとリードフレーム34のインナーリード部とをボンディングワイヤ35で電気的に接続する。そして、チップ29、アイランド31及びリードフレーム34のインナーリード部を樹脂パッケージまたはセラミックパッケージ33に封止し、リードフォーミングを行って図9に示すような半導体装置を完成する。

【りり71】図10(a)、(b)はそれぞれ、この発明の第2の実施の形態に係る半導体装置の製造方法につ

いて説明するためのもので、コレットでピックアップしたチップをリードフレームにマウントする工程を示している。まず、第1の実施の形態と同様に、図1乃至図7(a)、(b)に示した工程に従ってウェーハ21を個々のチップ29に分割し、チップ29のピックアップを行う。この際、チップ29の裏面を下方からピックアップニードルで突き上げて表面保護テープ42から剥離し、コレット44でピックアップする。次に、図10(a)に示すように、各チップ29をチップトレイ48に収容する。チップトレイ48にはチップ29の裏面（バターン形成面）が上向きに収容される。その後、図14(b)に示すようにコレット44でチップトレイ48から各チップ29を吸着し、上記コレット44で保持しているチップ29をリードフレーム34のアイランド31上に移動させてダイポンディングする。

【りり72】上記マウント方法では、各チップ29をチップトレイ48に収容した状態で離れた位置にある製造装置、別の部屋や別の工場等に容易に輸送でき、種々の製造装置や製造方法に柔軟に対応できる。

【りり73】図11は、この発明の第3の実施の形態に係る半導体装置の製造方法について説明するためのもので、LOC(Lead on Chip)パッケージに封止したものである。LOCパッケージの場合には、図7(d)に示したピックアップ工程の後、次のような工程で封止する。まず、チップ29上に接着テープ36を介在させてリード37の一端を接着する。その後、ワイヤボンディングを行ってチップ29の各パッドとリード37とをボンディングワイヤ35で接続する。そして、樹脂パッケージ33またはセラミックパッケージに封止することにより、図11に示したような半導体装置が完成する。

【りり74】この際、チップ29上にシリコン屑が存在すると、リード37の接着やワイヤボンディング時の荷重により、シリコン屑がチップ29表面の保護膜を破り、アルミ配線の段階やショート等の不良を起こす危険がある。そこで、上記接着テープ36の厚さを上記シリコン屑よりも厚くすることにより、上述したような不良の発生を抑制できる。

【りり75】上記のようなウェーハの分割方法及び半導体装置の製造方法によれば、下記(1)～(7)に示すような大きな効果が得られる。

【りり76】(1) ウェーハの薄厚化時のウェーハ破損による不良率の低減化が図れる。

【りり77】下表1は、直徑が6インチのウェーハを個々のチップに分割した場合のチップ厚（溝の深さと実質的に等しいか、あるいは少し薄い）と破損率（ppm: parts per million）との関係を示している。

【りり78】

【表1】

チップ厚(μm) (与潤の厚さ)	430	350	290	200	100	50
微粉(ppm)	160	250	60	1000	6000	60000
本発明(ppm)	20	20	0	0	0	0

【0079】表1に示す如く、従来はチップ厚が薄くなると破損率が高くなつたが、この発明では最終的なチップ厚が薄くなるほど破損率が低くなる。これは、チップ厚を薄くする場合には溝を浅くすることができるので、溝の下に残存するウェーハ層が厚くなることに依るものである。直徑が6インチのウェーハの場合には、ウェーハの厚さは通常600～650μmである。従来の分割方法及び製造方法では、例えば50μmの厚さのチップを形成しようとすると、ウェーハを予め50μmの厚さに研削及び研磨し、図12乃至図14に示した処理を行う。これに対し、この発明の方法では、50μmの溝を形成した後（溝の下には550～600μmのウェーハが残存している）、研削及び研磨して個々のチップに本

* 分割するので破損率が低くなる。

【りり80】(2) 銀送時のトラブルがウェーハの口徑に左右されない。研削と同時にチップに分割するため、チップ厚が薄くなつても、あるいは同じ口徑でも切削歪みによるウェーハの反りの影響を受けることなく装置内搬送が可能である。また、チップ厚が薄くなると溝の下に残存するウェーハが厚くなるので、この点からも銀送時のウェーハ破損率を低減できる。これにより下表2のような効果が得られる。この例は、ウェーハの直徑が8インチで、チップの厚さを50μmに仕上げる場合のものである。

【0081】

【表2】

	従来	本発明
銀送トラブルの減少(ppm)	60000	50
キャリアへの収納率(倍数)	1	2

【0082】この表2のデータから明らかなるように、この発明はウェーハの大口径化に有効であり、今後展開されるウェーハの12インチ化、または16インチ化への対応が容易になる。

【0083】(3) フルカット方式の場合、シートまで切り込むため、ブレードの切れ味の低下及びダイシング中のチップの飛散が生ずるため、一般的に80～120mm/secであるが、この発明の方法では200mm/secまで可能である。これによって、ダイシングスピードの向上が図れ、10%程度の加工費の低減が図れる。

【0084】(4) ウェーハを分割するために、ダイシングシートまで切り込む必要がなく、且つ裏面研削用の砥石で研削して分割するため、裏面チッピングの大きさ※

※が従来の15μm程度から4μm程度へと小さくなり、抗折強度が従来の方法では520MPaであったものが、600MPaまで向上する。

【0085】なお、裏面研磨でチップ分割を行う際には、研削砥石のダイヤモンド粒径により裏面チッピング量が大きくなり、下表3のようにダイヤモンド粒径が小さい方が裏面チッピングが小さくなるので、チップの抗折強度がより向上する効果が得られる。よって、チップ分割時に使用する砥石のダイヤモンド粒径はできるだけ小さい方が好ましい。また、上述したように、粒径の大きい研削砥石と小さい研削砥石を組み合わせて用いることにより、チッピングを低減しつつ研削時間の短縮も図れる。

【0086】

【表3】

ダイヤモンド粒径分布(μm)	本発明方式		従来方式
	4～6	40～60	4～6
裏面チッピング(平均); μm (MAX); μm	8.2 2.8	8.78 5.5	13.8 5.3
チップ抗折強度(平均); MPa	669.0	560.4	505.5

【0087】(5) ウェーハを分割するために、ダイシングシートまで切り込む必要がないため、ダイシングブレードの摩耗を低減でき、ダイシングブレードの寿命を向上できる。例えば、ダイシングシートまで切り込む方式を採用した場合には、通常10000～20000ライン(6インチウェーハの場合)の寿命であるが、この発明の方法では80000ライン以上にまで寿命を延ばすことが期待できる。

【0088】(6) ウェーハを個々のチップに分割した後、ボーラス吸着によって各チップをほぼ平坦あるいはアールを付けて保持(チップの裏面側を吸着する場合には凹面状の吸着面で保持、チップの表面側の裏面保護テープを吸着する場合には凸面状の吸着面で保持)しつつ銀送するので、チップ間で干渉してチッピング等の品質

(11)

特開2001-35817

19

劣化が発生するのを防止できる。

【0089】(7) フラットリングを有する表面保護テープ(第2の保持部材)にチップの裏面側を貼り付け、表面保護テープ(第1の保持部材)を剥がすので、リードフレームにマウントするためにピックアップする際に半導体素子にダメージを与えるのを防止でき、且つ分割されたチップをフラットリングによって平坦に保持できるので、搬送時にチップ間で干渉してチッピングが発生するのを抑制できる。

【0090】なね、この発明は上述した第1乃至第3の実施の形態に限定されるものではなく、要旨を逸脱しない範囲で種々変形して実施可能である。例えば、第1の実施態様では、溝の形成時にウェーハ21をダイシング用チャックテーブル23に固定したが、従来の方法と同様にフラットリングを粘着性のシートに貼り付けた状態で、ウェーハをダイシング用チャックテーブルに固定するようにも良い。あるいは、平板にウェーハを固定したり、平板に粘着性のシートを用いてウェーハを固定した状態で溝を形成しても良い。

【0091】また、図2に示した工程において、保持部材として表面保護テープ(粘着性のシート)26を用いたが、他の保持部材、例えばワックス、吸着パッド、熱圧着シート、粘着材を塗布した基板、及び半導体素子上に塗布したレジスト等、あるいはこれらを組み合わせた材料を用いることもできる。

【0092】更に、ウェーハ21のパターン形成面21'に表面保護テープ26を貼り付けるようにしたが、ウェーハ21のパターン形成面21'と表面保護テープ26との間に極薄のフィルムを介在させても良い。極薄のフィルムを介在させるには、例えば、ウェーハのパターン形成面にシリテクト-IIと呼ばれる液体をスプレーで吹き付けて候縫を形成した後、表面保護テープを貼り付ければ良い。平板上に両面あるいは片面の粘着テープを貼り付け、その上にウェーハを固定するようにしても良い。

【0093】

【発明の効果】以上説明したように、この発明によれば、薄厚研削時や搬送時のウェーハの割れやチッピングを抑制でき、品質劣化を防止できるウェーハの分割方法及び半導体装置の製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ダイシングラインに沿ってウェーハに溝を形成する工程を示す図。

【図2】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ウェーハに表面保護テープを貼り付ける工程を示す図。

【図3】この発明の第1の実施の形態に係るウェーハの

20

分割方法及び半導体装置の製造方法について説明するためのもので、ウェーハ裏面の研削及び研磨工程(分割工程)を示す図。

【図4】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、分割されたウェーハをポーラス吸着によって保持する工程を示す図。

【図5】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、チップをポーラス吸着によって搬送する工程を示す図。

【図6】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、チップを洗浄する工程を示す図。

【図7】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、搬送したチップをリードフレームにマウントする工程を示す図。

【図8】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ダイポンディング工程を示す図。

【図9】この発明の第1の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、パッケージに封止した状態の半導体装置の断面図。

【図10】この発明の第2の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをトレイに収納し、その後リードフレームにマウントする工程を順次示す図。

【図11】この発明の第3の実施の形態に係る半導体装置の製造方法について説明するためのもので、LOCパッケージに封止した時の半導体装置の断面図。

【図12】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ウェーハに表面保護テープを貼り付ける工程を示す図。

【図13】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ウェーハの裏面の研削及び研磨工程を示す図。

【図14】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、表面保護テープを剥がす工程を示す図。

【図15】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ウェーハを固定用シートに固定する工程を示す図。

【図16】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ウェーハのダイシング工程を示す図。

【図17】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、分離したチップをピックアップする工程を示す図。

21

【図18】従来のウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、ダイボンディング工程を示す図。

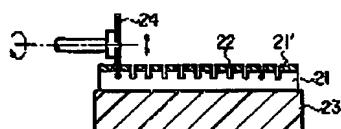
【符号の説明】

21…ウェーハ、21'…パターン形成面、22…溝、
23…ダイシング用チャックテーブル、24…ダイシング用ブレード、26…表面保護テープ、27…裏面研削用チャックテーブル、28…裏面研削用砥石、29…チップ。

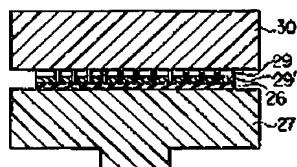
22

* ップ、29'…チップの主表面、30…吸着材、31…アイランド、32…導電性ベースト、33…封緘パッケージまたはセラミックパッケージ、34…リードフレーム、35…ボンディングワイヤ、36…接着テープ、37…リード、40…ディスペンサ、42…表面保護テープ、43…フラットリング、44…コレット、48…チップトレイ、50…洗浄用のテーブル、51…ノズル、52…ステージ、53…ローラー。

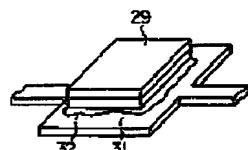
【図1】



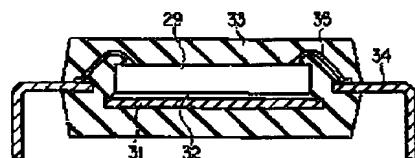
【図4】



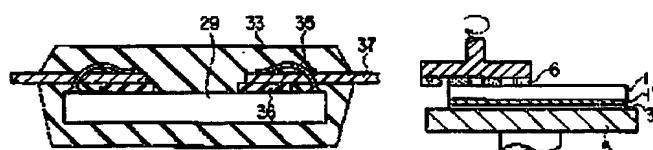
【図8】



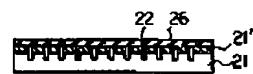
【図11】



【図13】



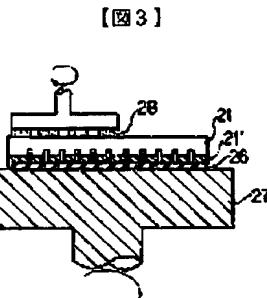
【図2】



【図5】

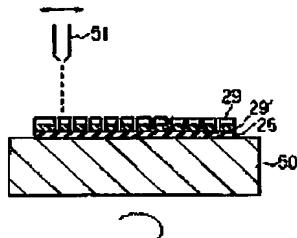


【図9】

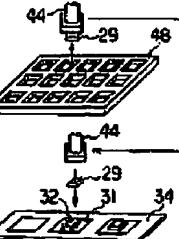
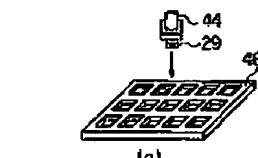


【図3】

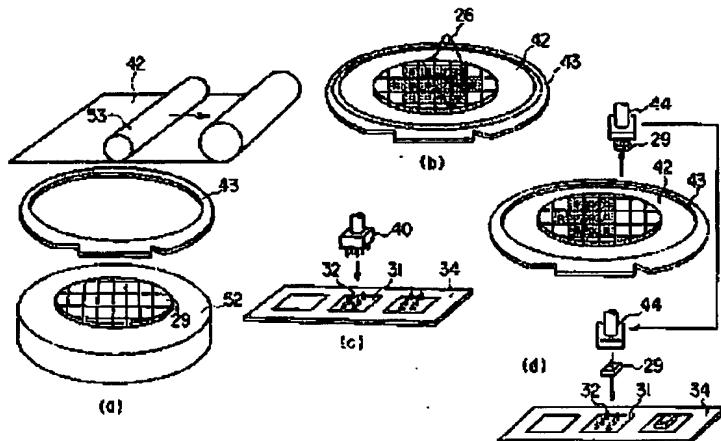
【図6】



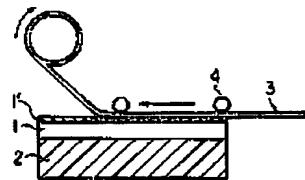
【図10】



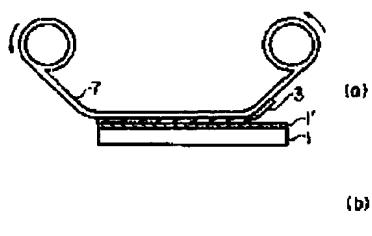
【図7】



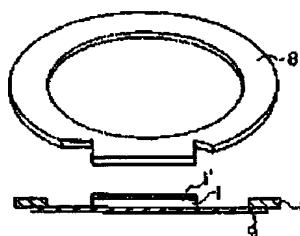
【図12】



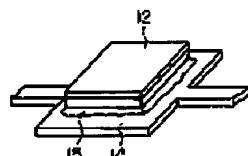
【図14】



【図15】



【図18】



【図16】



【図17】



フロントページの続き

(72)発明者 德利 圭介

神奈川県川崎市幸区小向東芝町1番地 株式会社京芝マイクロエレクトロニクスセンター内

(72)発明者 黒澤 哲也

神奈川県川崎市幸区小向東芝町1番地 株式会社京芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F031 CA02 DA13 GA24 GA26 MA22
MA35 MA37 PA18